

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Haruhiko KUWATSUKA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **October 29, 2003**

For: **SEMICONDUCTOR PHOTODETECTOR AND AVALANCHE PHOTODIODE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: October 29, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-316506, filed October 30, 2002

Japanese Appln. No. 2003-167793, filed June 12, 2003

In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP

William L. Brooks
William L. Brooks

Attorney for Applicant
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031248**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 6 5 0 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 6 5 0 6]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 8 6 5

【書類名】 特許願

【整理番号】 0240336

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/107

【発明の名称】 半導体受光装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鋤塚 治彦

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091672

 【弁理士】

 【氏名又は名称】 岡本 啓三

 【電話番号】 03-3663-2663

【手数料の表示】

 【予納台帳番号】 013701

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体受光装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成された第 1 導電型半導体層と、該第 1 導電型半導体層の一部領域上に形成された光導波路用コア層と、該光導波路用コア層上に形成された上部クラッド層とを有する光導波路と、

光吸収層と、ヘテロ障壁緩和層と、第 1 導電型電界降下層の下側層と、第 1 導電型電界降下層の上側層と、キャリア増倍層と、第 2 導電型半導体層とを前記第 1 導電型半導体層の別の領域上に順に形成してなり、前記光導波路と結合したアバランシェフォトダイオードと、

を備え、

前記第 1 導電型電界降下層の下側層と前記光導波路用コア層との各側面が接触し、且つ、前記第 1 導電型電界降下層の上側層の一部が前記光導波路用コア層上に形成されたことを特徴とする半導体受光装置。

【請求項 2】 前記第 1 導電型電界降下層の下側層は、その下面から上面に向かって組成が変化し、ヘテロ障壁緩和層として機能することを特徴とする請求項 1 に記載の半導体受光装置。

【請求項 3】 前記ヘテロ障壁緩和層のバンドギャップは前記光吸収層のバンドギャップよりも大きく、前記キャリア増倍層のバンドギャップは前記ヘテロ障壁緩和層のバンドギャップよりも大きいことを特徴とする請求項 1 に記載の半導体受光装置。

【請求項 4】 前記第 1 導電型電界降下層の下側層は n 型 InGaAs よりなり、前記第 1 導電型電界降下層の上側層は n 型 InP よりなることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の半導体受光装置。

【請求項 5】 前記半導体基板は InP 基板であり、前記第 1 導電型半導体層は n 型 InP 層であり、前記光吸収層はアンドープ InGaAs 層であり、前記ヘテロ障壁緩和層はアンドープ InGaAsP 層であり、前記キャリア増倍層はアンドープ InP 層であり、前記光導波路用コア層はアンドープ InGaAsP 層であり、前記上部クラッド層

はInP層であることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の半導体光受光装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体受光装置に関し、より詳細には、高速光通信等に使用される半導体受光装置に関する。

【 0 0 0 2 】

【従来の技術】

従来例に係る超高速光通信用の半導体受光装置の断面構造を図 1 に示す。

【 0 0 0 3 】

図 1 の構造では、n型InPよりなるn型半導体層 2 と、アンドープInGaAsPよりなる光導波路用コア層 3 と、アンドープInPよりなる上部クラッド層 4 とがこの順にアンドープInP基板 1 の所定領域上に形成され、それらが光導波路 5 を構成する。そして、この光導波路 5 の端部近くのn型半導体層 2 上には、アンドープInGaAsよりなる光吸収層 6 と、p型InPよりなるp型半導体層 7 とがこの順に形成され、n型半導体層 2 と共にPINフォトダイオード 8 を構成している。

【 0 0 0 4 】

この半導体受光装置では、厚さが薄い光吸収層 6 で十分な量子効率を得るために、光導波路用コア層 3 からの光が光吸収層 6 の接合面と水平な方向から光吸収層 6 に入射される。このような構造を以下では横型入射構造とすることにする。そのような構造は、例えば特願 2 0 0 2 - 2 1 4 4 0 8 号に開示される。

【 0 0 0 5 】

そして、n電極 9 とp電極 1 0 とに逆バイアスの電圧が印加された状態で光が入射すると、光吸収層 6 に電子—正孔対が生成し、光電流が検出される。

【 0 0 0 6 】

なお、フォトダイオードとしては、上記のPINフォトダイオードの他に、アバランシェフォトダイオード (APD) も知られている (例えば、特許文献 1 参照)。

【0007】

【特許文献1】

特開平11-354827号公報

【0008】

【発明が解決しようとする課題】

その横型入射構造の半導体受光装置では、更に大きな光電流を取り出し、且つ受信感度を高めるのが望ましく、そのためにはPINフォトダイオード8とは別のフォトダイオードを採用するのが好ましい。

【0009】

本発明は、係る従来例の問題点に鑑みて創作されたものであり、従来よりも大きな光電流を取り出すことができ、また、受信感度の高い半導体受光装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記した課題は、半導体基板と、前記半導体基板上に形成された第1導電型半導体層と、該第1導電型半導体層の一部領域上に形成された光導波路用コア層と、該光導波路用コア層上に形成された上部クラッド層とを有する光導波路と、光吸収層と、ヘテロ障壁緩和層と、第1導電型電界降下層の下側層と、第1導電型電界降下層の上側層と、キャリア増倍層と、第2導電型半導体層とを前記第1導電型半導体層の別の領域上に順に形成してなり、前記光導波路と結合したアバランシェフォトダイオードと、を備え、前記第1導電型電界降下層の下側層と前記光導波路用コア層との各側面が接触し、且つ、前記第1導電型電界降下層の上側層の一部が前記光導波路用コア層上に形成されたことを特徴とする半導体受光装置によって解決する。

【0011】

次に、本発明の作用について説明する。

【0012】

本発明に係る半導体受光装置によれば、従来例に係るPINフォトダイオードに代えて、PINフォトダイオードよりも増倍率の大きなアバランシェフォトダイオ

ード (APD) を形成するので、従来よりも大きな光電流が取り出され、また、受信感度も高まる。

【0013】

更に、本発明によれば、第1導電型電界降下層の下側層と光導波路用コア層との各側面が接触し、且つ第1導電型電界降下層の上側層の一部が光導波路用コア層上に形成される。よって、APDの深さ方向の電界分布を考えると、APDの中央部付近では、第1導電型電界降下層の上側層と下側層の二層分電界が降下するのに対し、光導波路用コア層を含む断面では、第1導電型電界降下層の上側層の分しか電界降下が起きない。そのため、電界をAPDの深さで積分して得られる値は、APDの中央部付近よりも、光導波路用コア層を含む断面で積分した値の方が大きくなる。一般に、APDのブレイクダウン電圧は、上記積分値が大きい程高くなるので、上記によれば、APDの中央部付近よりもその端部でのブレイクダウン電圧が高くなり、APDの端部でブレイクダウンが起き難くなる。

【0014】

しかも、第1導電型電界降下層の下側層の組成をその下面から上面に向かって変化させ、ヘテロ障壁緩和層として機能させることにより、キャリアが下側層にトラップされて半導体受光装置の応答速度が低下するのが防止される。

【0015】

【発明の実施の形態】

本実施形態を説明する前に、基礎となる予備的事項について説明する。

【0016】

上記の目的を達成するには、PINフォトダイオードよりも電流増幅作用が大きく、高速に変調された光信号を高い量子効率で受信可能なアバランシェフォトダイオード (APD) を利用することが考えられる。

【0017】

図1に示したPINフォトダイオード8をアバランシェフォトダイオードに単純に置き換えると、図2のような横型入射構造になる。なお、図2において、図1と同じ部材には図1と同じ符号を付してある。

【0018】

図2のアバランシェフォトダイオード17は、アンドープInGaAsよりなる光吸収層12と、アンドープInGaAsPよりなるヘテロ障壁緩和層13と、n型InPよりなる電界降下層（第1導電型電界降下層）14と、アンドープInPよりなるキャリア増倍層15と、p型InP層（第2導電型半導体層）16とをn型半導体層（第1導電型半導体層）2上にこの順に形成してなる。

【0019】

但し、これらの膜において、ヘテロ障壁緩和層13のバンドギャップは光吸収層12のバンドギャップよりも大きく、そして、キャリア増倍層15のバンドギャップはヘテロ障壁緩和層13のバンドギャップよりも大きい。

【0020】

なお、本実施形態では、場合によっては、InP基板1や上部クラッド層4にシリコンをドーピングしてもよい。

【0021】

また、n型半導体層2上にはTi/Pt/Auよりなるn電極18が形成され、p型InP層16上にはTi/Pt/Auよりなるp電極19が形成され、これらの電極間に逆バイアスの電圧が印加される。

【0022】

上記の層のうち、ヘテロ障壁緩和層13は、組成がInGaAsからInPに徐々に変化するように形成され、光吸収層12と電界降下層14との間のヘテロ障壁を緩和し、ヘテロ障壁により正孔がトラップされるのを防ぐように機能する。

【0023】

また、電界降下層14は、そこで電界降下を急激に生じさせてその上のキャリア増倍層15に高電界を印加するように機能する。

【0024】

光導波路用コア層3を伝播する光は光吸収層12に入射し、そこで電子-正孔対が発生するが、これらのうち正孔はキャリア増倍層15に流れ込む。キャリア増倍層15には上記のように高電界が印加されているので、流れ込んだ正孔は次々とイオン化を引き起こし、それによりキャリアの増倍が行われる。これにより、従来例よりも大きな光電流を得ることができる。

【0 0 2 5】

ところが、この構造では、光導波路 5 との界面付近（図の A 部）の電界降下層 1 4 に電界 E が集中するので、その部分でブレイクダウンが生じ易くなってしまふ。そのため、暗電流が大きくなるという不都合や、n 電極 1 8 と p 電極 1 9 との間に大きな電圧を印加することができず、アバランシェフォトダイオード 1 7 の増倍を大きく取ることができないといった不都合が生じる。

【0 0 2 6】

これらの点に鑑み、本発明者は図 3 に示すような半導体受光装置に想到した。図 3 において、図 2 と同じ部材には図 2 と同じ符号を付し、その説明は省略する。

【0 0 2 7】

この光受光装置が図 2 と異なる点は、電界降下層 1 4 が下側層 1 4 a と上側層 1 4 b とで構成され、且つ、上側層 1 4 b の下に光導波路用コア層 3 が入り込んでいる点である。下側層 1 4 a は、その下面から上面に向かってヘテロ障壁緩和層 1 3 の組成から上側層 1 4 b の組成に除々に変化する組成を有するので、ヘテロ障壁緩和層としても機能し、正孔が下側層 1 4 a にトラップされて応答速度が低下するのが防がれる。そのような下側層 1 4 a は、例えば、n 型 InGaAsP よりなる。一方、上側層 1 4 b は、例えば InP よりなる。

【0 0 2 8】

図 1 4 は、そのような半導体受光装置の深さ方向の電界分布を示すグラフであり、縦軸はアバランシェフォトダイオード 1 7 からの深さを表し、横軸はその深さにおける電界強度 E を表す。そして、実線は図 1 4 の I-I 線に沿う電界分布であり、一点鎖線は図 1 4 の II-II 線に沿う電界分布である。

【0 0 2 9】

図 1 4 に示すように、II-II 線に沿う場合は、下側層 1 4 a と上側層 1 4 b の二層分電界が降下するのに対し、I-I 線に沿う場合は、下側層 1 4 a が無いので、上側層 1 4 b の一層分しか電界が降下しない。よって、電界 E を深さで積分して得られるグラフの面積は、I-I 線に沿う場合の方が II-II 線に沿う場合よりも大きくなる。

【0030】

一般に、アバランシェフォトダイオードのブレイクダウン電圧は、上記の面積が大きい程高くなることが知られている。従って、今の場合、I-I線に沿う場合の方がII-II線に沿う場合よりもブレイクダウン電圧が高くなる。

【0031】

よって、光導波路5との界面付近でブレイクダウンが置き難くなるので、各電極18、19間に十分高い電圧を印加することができ、アバランシェフォトダイオード17の増倍を図2よりも大きく取ることが可能となる上、暗電流も小さくなる。

【0032】

次に、上記のような半導体受光装置の製造工程について、図4～図19を参照しながら説明する。

【0033】

最初に、図4(a)に示す断面構造を得るまでの工程について説明する。

【0034】

まず、n型不純物としてSiが $1 \times 10^{18} \text{cm}^{-3}$ ドーピングされたn型InPを、シリコンがドーピングされたInP基板（半導体基板）1上に厚さ約 $2 \mu\text{m}$ にエピタキシャル成長し、それをn型半導体層2とする。エピタキシャル成長には、例えばMOCVDが採用されるが、これについては以下の工程でも同様である。

【0035】

次いで、このn型半導体層2上に、アンドープInGaAs層12aを厚さ約 $0.5 \mu\text{m}$ にエピタキシャル成長する。そのアンドープInGaAs層12aにおいては、InPよりなる下地のn型半導体層2との格子整合を図るべく、InとAsとの組成比をIn:As=0.53:0.47とする。

【0036】

そして、このアンドープInGaAs層12a上に、組成波長が $1.25 \mu\text{m}$ で厚さが約 $0.18 \mu\text{m}$ であり、xの値が1から徐々に小さくなるアンドープ $\text{InGaAs}_x\text{P}_{1-x}$ 層13aをエピタキシャル成長する。

【0037】

更に、この $\text{InGaAs}_x\text{P}_{1-x}$ 層 13 a 上に、n型不純物としてSiが $1 \times 10^{18}\text{cm}^{-3}$ ドーピングされ、且つ、yの値が徐々に小さくなり最終的には0となるn型 $\text{InGaAs}_y\text{P}_{1-y}$ 層 14 c を厚さ約 $0.02 \mu\text{m}$ にエピタキシャル成長する。この $\text{InGaAs}_y\text{P}_{1-y}$ 層 14 c の組成波長は $1.25 \mu\text{m}$ である。なお、 $\text{InGaAs}_x\text{P}_{1-x}$ 層 13 a とn型 $\text{InGaAs}_y\text{P}_{1-y}$ 層 14 c との格子整合を図るべく、これらの層の界面では $x=y$ とする。

【0038】

続いて、n型不純物としてSiが $1 \times 10^{18}\text{cm}^{-3}$ ドーピングされたn型InP層 14 d をn型 $\text{InGaAs}_y\text{P}_{1-y}$ 層 14 c 上に厚さ約 $0.02 \mu\text{m}$ にエピタキシャル成長させる。

【0039】

そして、厚さが約 $0.20 \mu\text{m}$ のアンドープInP層 15 a をこのn型InP層 14 d 上にエピタキシャル成長し、更にその上にp型不純物としてZnが $1 \times 10^{18}\text{cm}^{-3}$ だけドーピングされたp型InP層 16 a をエピタキシャル成長させる。

【0040】

更に、このp型InP層 16 上にフォトリソ形成し、それを露光・現像することにより、レジストパターン 20 とする。

【0041】

次いで、このレジストパターン 20 をエッチングマスクにし、エッチング液として硫酸化水を使用することで、p型InP層 16 からアンドープInGaAs層 12 a ままでエッチングする。

【0042】

これにより、図4 (b) に示すように、アンドープInGaAs層 12 a は光吸収層 12 となり、アンドープ $\text{InGaAs}_x\text{P}_{1-x}$ 層 13 a はヘテロ障壁緩和層 13 となる。また、n型 $\text{InGaAs}_y\text{P}_{1-y}$ 層 14 c は電界降下層 14 の下側層 14 a となり、n型InP層 14 d はその上側層 14 b となる。そして、アンドープInP層 15 a 及びp型InP層 16 a は、それぞれキャリア増倍層 15 及びp型半導体層 16 となる。

【0043】

そのようなエッチングにおいては、下側層 14 a、ヘテロ障壁緩和層 13、及び光吸収層 12 がサイドエッチングされるので、これらの層の側面は、上側層 14 b の側面よりも後退することになる。このエッチングが終了後、レジストパタ

ーン 2 0 は除去される。

【 0 0 4 4 】

次に、図 5 に示す断面構造を得るまでの工程について説明する。

【 0 0 4 5 】

まず、組成波長が $1.1\ \mu\text{m}$ のアンドープ InGaAsP 層を n 型半導体層 2 上に厚さ約 $0.7\ \mu\text{m}$ にエピタキシャル成長させ、それを光導波路用コア層 3 とする。その光導波路用コア層 3 は、電界降下層 1 4 の上側層 1 4 b の下に距離 D (= 約 $0.2\ \mu\text{m}$) だけ入り込んだ構造となる。

【 0 0 4 6 】

その後、この光導波路用コア層 3 上にアンドープ InP 層 2 1 を厚さ約 $2.0\ \mu\text{m}$ 程度にエピタキシャル成長させる。

【 0 0 4 7 】

次いで、図 6 の斜視図に示すように、InP 基板 1 上に上述の如く形成された各層を、光の進行方向に沿ってストライプ状にパターンニングする。

【 0 0 4 8 】

続いて、図 7 (a) に示すように、アンドープ InP 層 2 1 の端部と p 型半導体層 1 6 とを覆う SiO₂ 膜 2 2 を熱 CVD 法により厚さ $0.1\ \mu\text{m}$ 程度に形成する。

【 0 0 4 9 】

そして、図 7 (b) に示すように、SiO₂ 膜 2 2 をエッチングマスクとして使用しながら、HCl 液をエッチング液とするウェットエッチングにより、SiO₂ 膜 2 2 で覆われていない部分のアンドープ InP 層 2 1 を選択的にエッチングして除去する。

【 0 0 5 0 】

次に、図 8 (a) に示すように、残存するアンドープ InP 層 2 1 の側面上と光導波路用コア層 3 上とに、アンドープ InP 層を厚さ約 $2\ \mu\text{m}$ 程度にエピタキシャル成長させ、それを上部クラッド層 4 とする。

【 0 0 5 1 】

次いで、図 8 (b) に示すように、SiO₂ 膜 2 2 を除去して p 型半導体層 1 6 の表面を露出させ、その上に厚さ約 3 nm の Ti 膜と、厚さ約 200 nm の Pt 膜と、厚さ

約 $2\ \mu\text{m}$ の Au 膜とをこの順に蒸着法により形成し、それらを p 電極 19 とする。
なお、p 電極 19 と p 型半導体層 16 との接合面積は、 $6\ \mu\text{m} \times 9\ \mu\text{m}$ である。

【0052】

その後、図 9 (a) に示すように、光が入射される側とは反対側に形成されている上部クラッド層 4 から InP 基板 1 の一部までを SiCF_4 の雰囲気中でドライエッチングすることにより、n 型半導体層 2 の表面を剥き出すと共に、InP 基板 1 に段差面 1a を形成する。

【0053】

そして、図 9 (b) に示すように、段差面 1a から n 型半導体層 2 の表面に Au Ge 膜、及び Au 膜を蒸着法によりこの順に積層し、それを n 電極 18 とする。

【0054】

続いて、図 10 に示すように、CVD 法により SiN 膜 23 を全面に約 $0.3\ \mu\text{m}$ に形成する。

【0055】

なお、この工程までの平面図は図 11 のようになる。但し、図 11 においては、SiN 膜 23、上部クラッド層 4、及び InP 層 21 を省略してある。そして、先の図 10 は、図 11 の III-III 断面図に相当する。

【0056】

その後、図 12 に示すように、p 電極 19 上の SiN 膜 23 にホール 23a を形成する。そして、そのホール 23a 内と、該ホール 23a から段差面 1a の上方の SiN 膜 23 上とに Ti/Au 膜を形成し、それを p 電極引き出し線 24 とする。

【0057】

ここまでの平面図を図 13 に示す。但し、図 13 においては、SiN 膜 23、上部クラッド層 4、及び InP 層 21 を省略してある。そして、先の図 12 は、図 13 の IV-IV 線断面図に相当する。

【0058】

以上により、本実施形態に係る半導体受光装置が完成する。その半導体受光装置では、p 電極 19 と n 電極 18 との間に 1.5 V 程度の電圧を印加すると、10 倍以上の十分な増倍率が得られる。

【0059】**【発明の効果】**

以上説明したように、本発明によれば、従来例に係るPINフォトダイオードに代えてアバランシェフォトダイオードを形成するので、従来よりも大きな光電流を取り出すことができ、また、受信感度も高くすることができる。

【0060】

更に、本発明では、第1導電型電界降下層の下側層と光導波路用コア層との各側面が接触し、且つ第1導電型電界降下層の上側層の一部が光導波路用コア層上に形成されるようにしたので、アバランシェフォトダイオード端部のブレイクダウン電圧が高まり、そこでブレイクダウンを起き難くすることができる。

【0061】

しかも、第1導電型電界降下層の下側層の組成をその下面から上面に向かって変化させ、ヘテロ障壁緩和層として機能させることにより、キャリアが下側層にトラップされて半導体受光装置の応答速度が低下するのを防止することができる。

【図面の簡単な説明】

【図1】 図1は、従来例に係る半導体受光装置の断面図である。

【図2】 図2は、従来例に係る半導体受光装置のPINフォトダイオードを単純にアバランシェフォトダイオードに置き換えた構造の断面図である。

【図3】 図3は、本発明の実施の形態に係る半導体受光装置の断面図である。

【図4】 図4は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その1）である。

【図5】 図5は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その2）である。

【図6】 図6は、本発明の実施の形態に係る半導体受光装置の製造工程について示す斜視図である。

【図7】 図7は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その3）である。

【図 8】 図 8 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 4）である。

【図 9】 図 9 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 5）である。

【図 10】 図 10 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 6）である。

【図 11】 図 11 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す平面図（その 1）である。

【図 12】 図 12 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 7）である。

【図 13】 図 13 は、本発明の実施の形態に係る半導体受光装置の製造工程について示す平面図（その 2）である。

【図 14】 図 14 は、本発明の実施の形態に係る半導体受光装置の深さ方向の電界分布を示すグラフである。

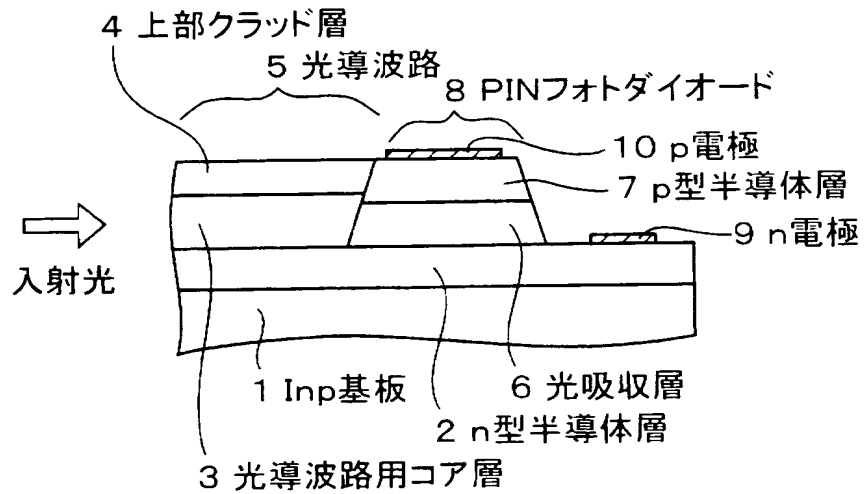
【符号の説明】

1…InP基板、1 a…段差面、2…n型半導体層、3…光導波路用コア層、4…上部クラッド層、5…光導波路、6、12…光吸収層、7、16…p型半導体層、8…PINフォトダイオード、9、18…n電極、10、19…p電極、13…ヘテロ障壁緩和層、14…n型電界降下層、14 a…n型電界降下層の下側層、14 b…n型電界降下層の上側層、15…キャリア増倍層、17…アバランシェフォトダイオード、20…レジストパターン、21…InP層、22…SiO₂膜、23…SiN膜、23 a…ホール、24…p電極引き出し線。

【書類名】 図面

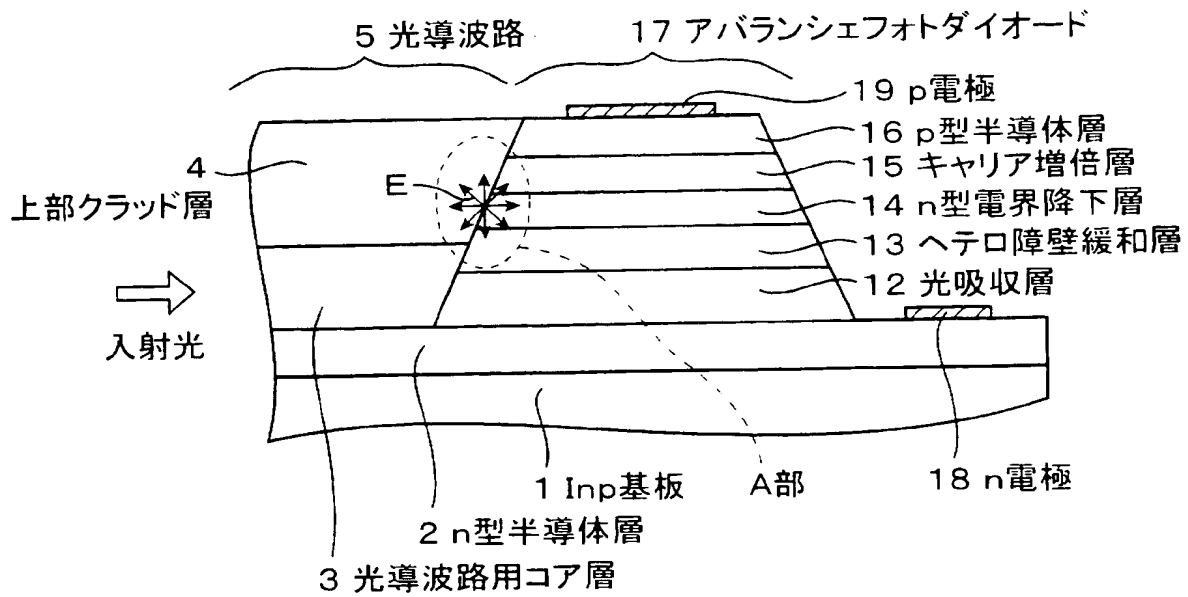
【図 1】

従来例に係る半導体受光装置の断面図



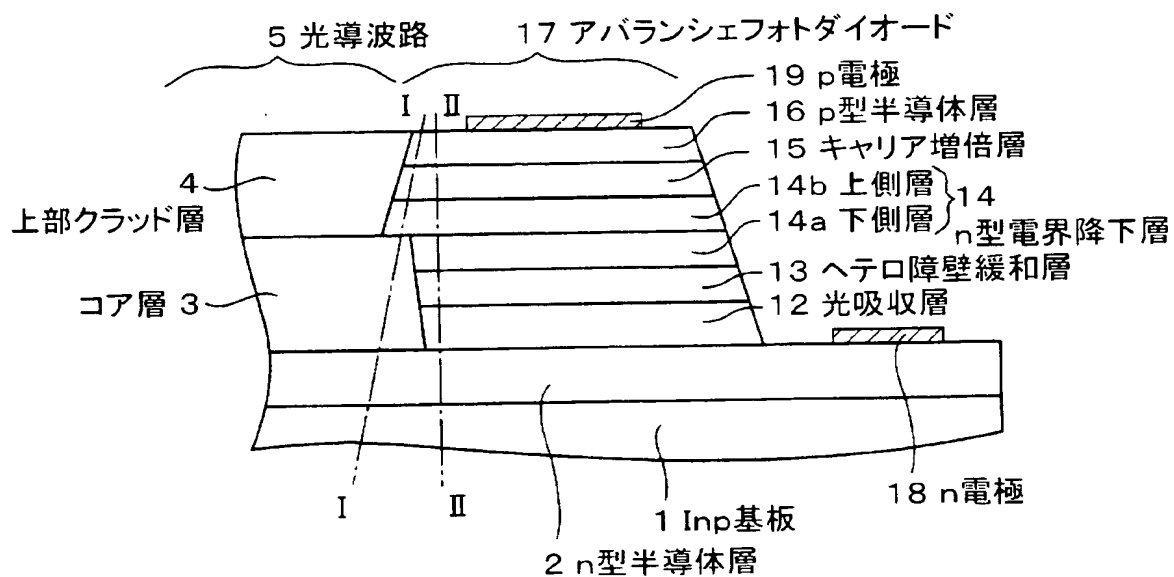
【図 2】

従来例に係る半導体受光装置のPINフォトダイオードを単純に
アバランシェフォトダイオードに置き換えた構造の断面図



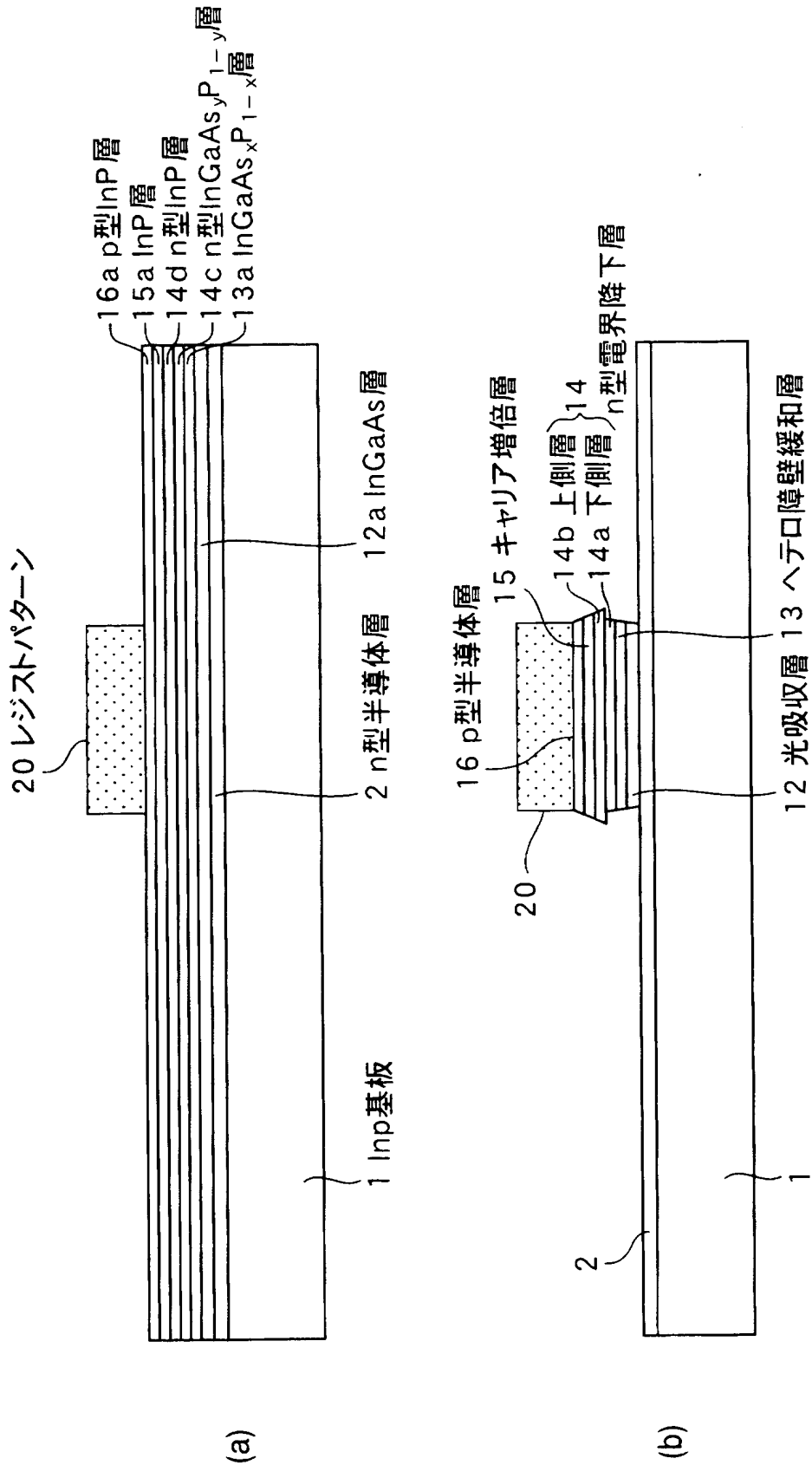
【図 3】

本発明に係る半導体受光装置の断面図



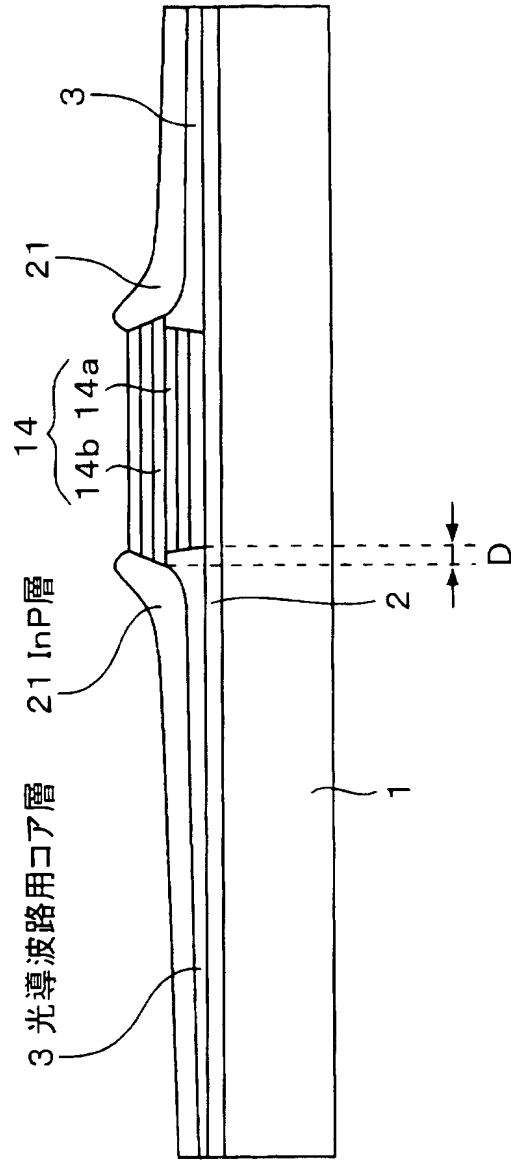
本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図 (その1)

【図 4】



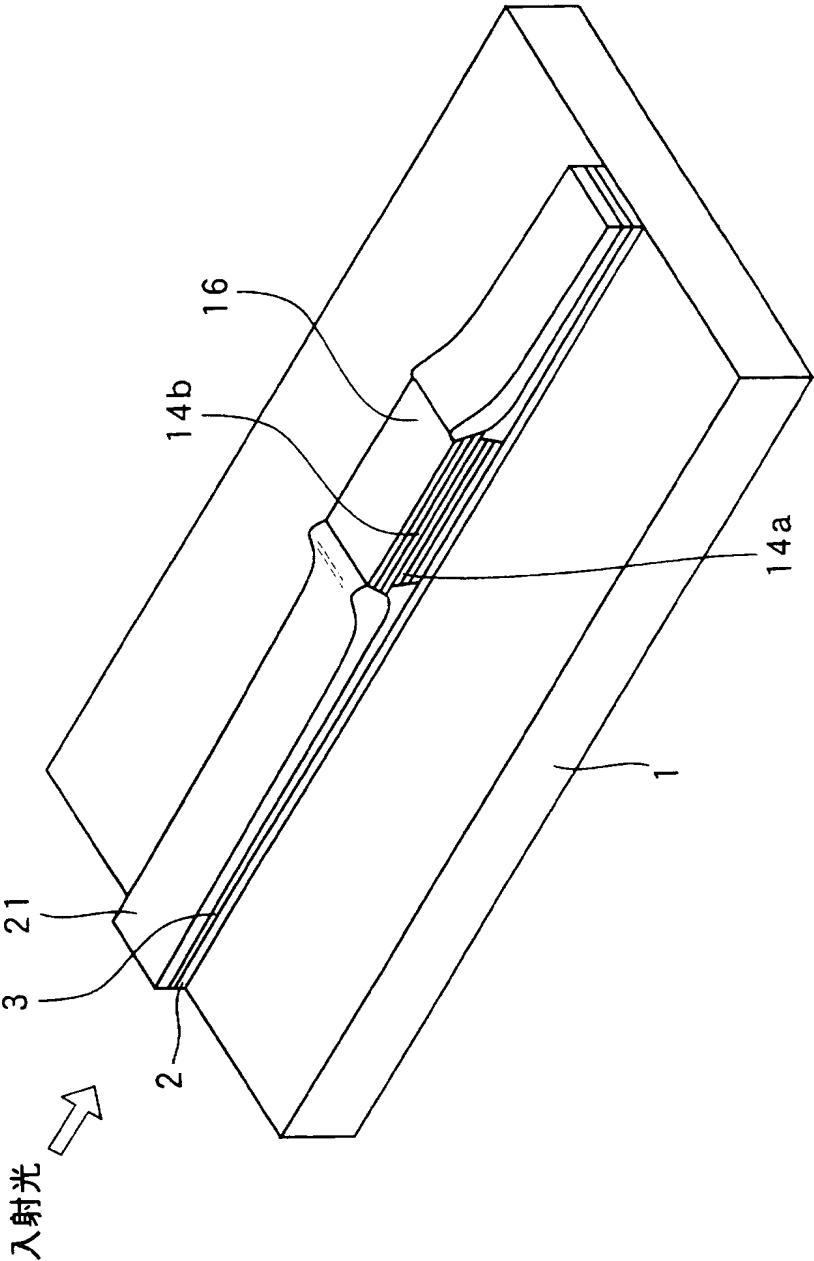
【図5】

本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その2）



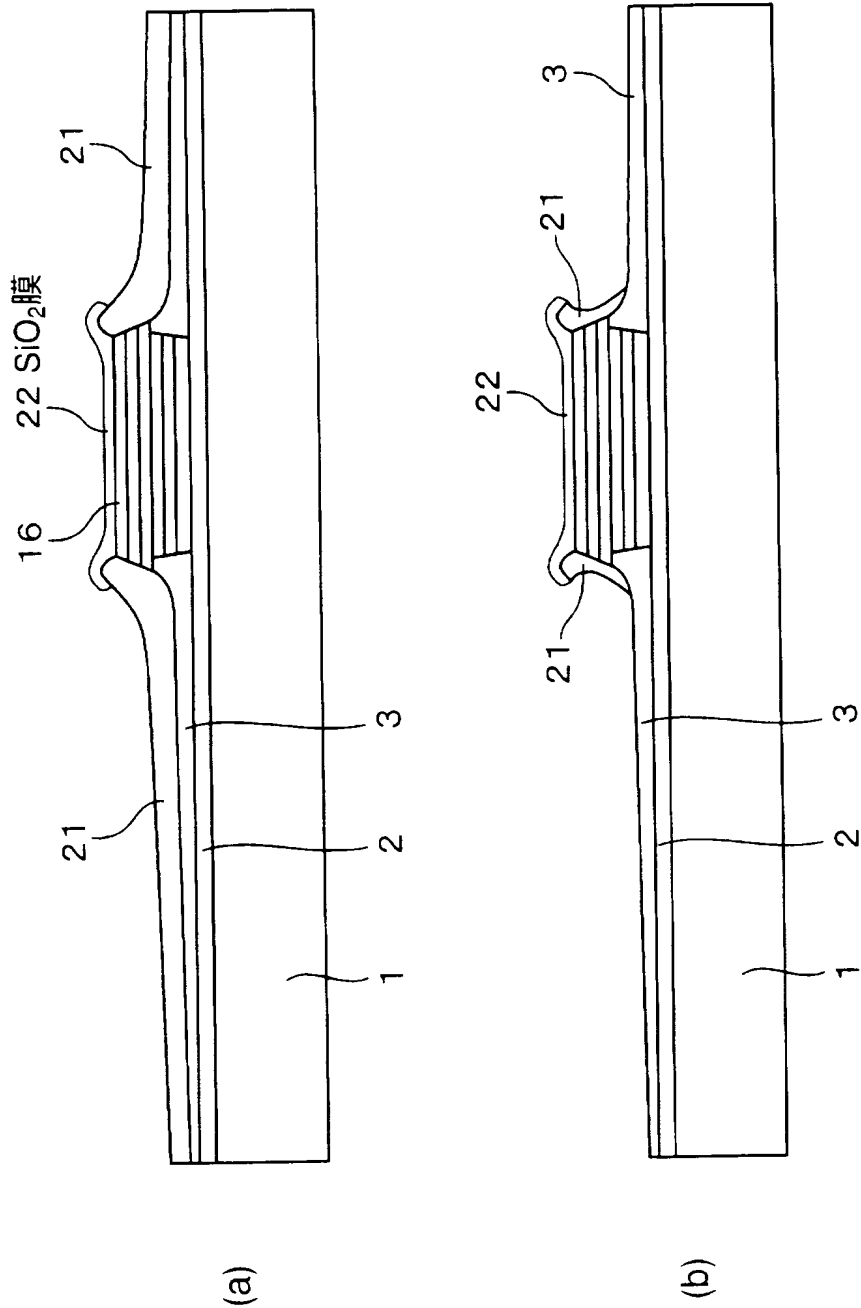
【図 6】

本発明の実施の形態に係る半導体受光装置の製造工程について示す斜視図



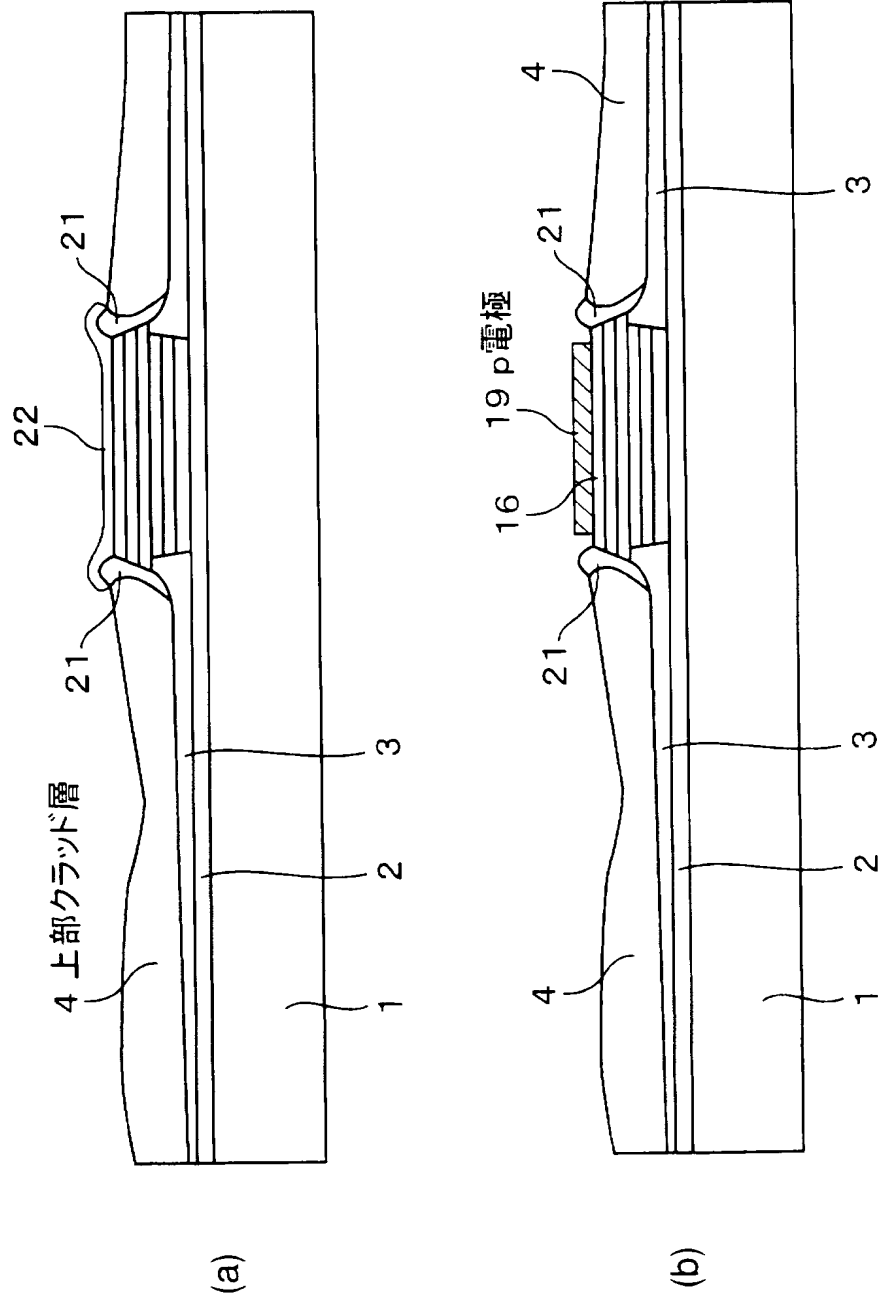
【図 7】

本発明の実施の形態に係る半導体装置の製造工程について示す断面図（その 3）



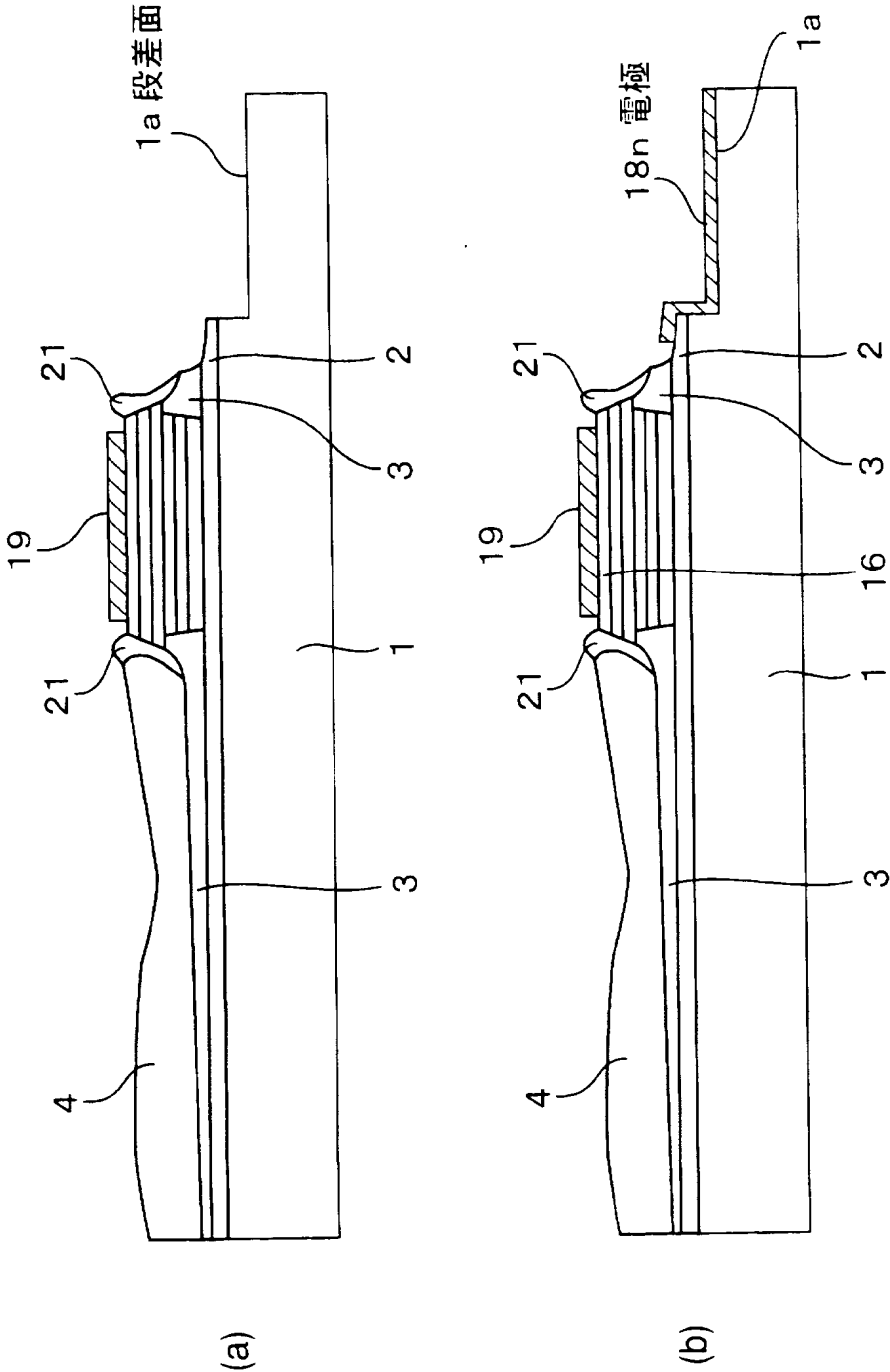
【図 8】

本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その４）



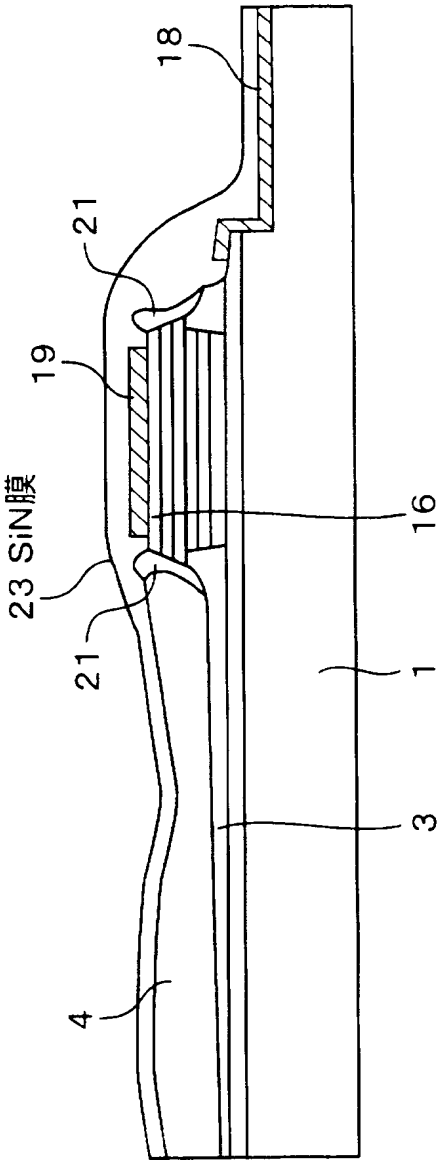
【図 9】

本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 5）



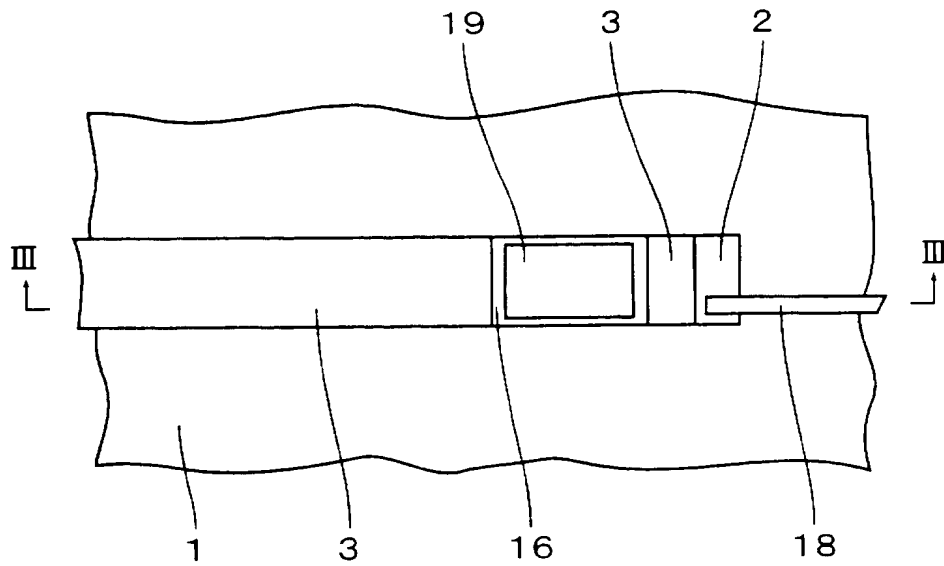
【図 1 0】

本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 6）



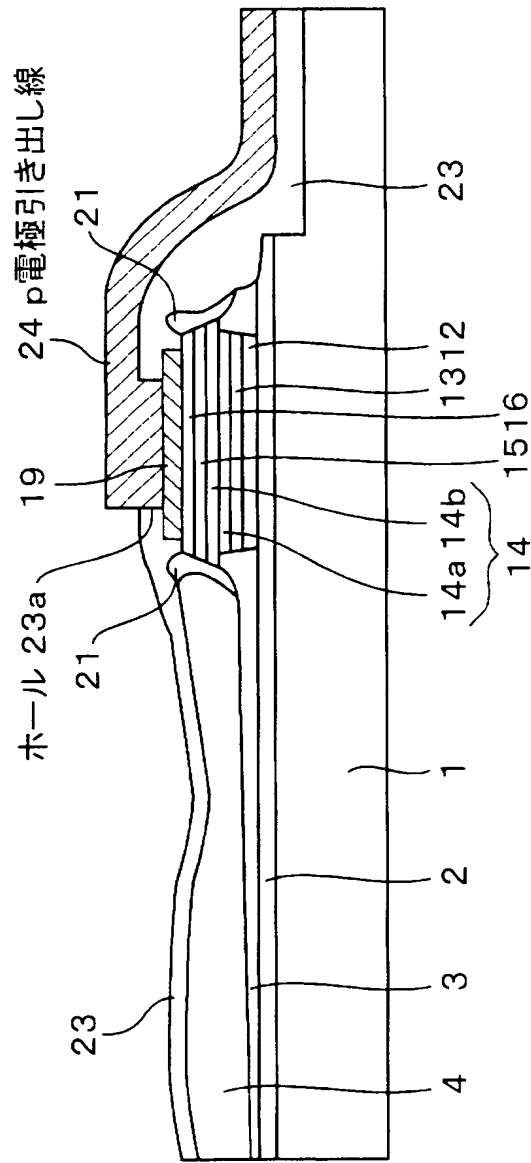
【図 11】

本発明の実施の形態に係る半導体受光装置の平面図(その1)



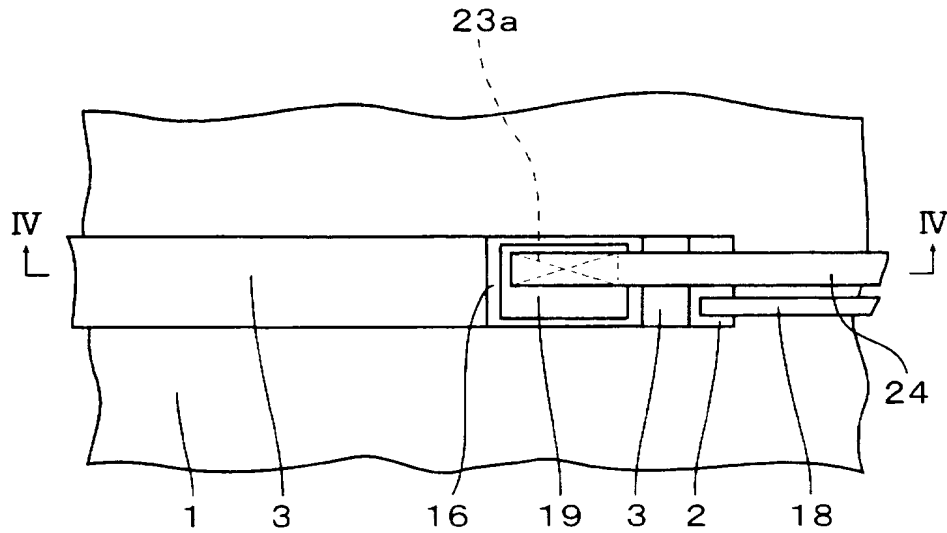
【図 12】

本発明の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 7）



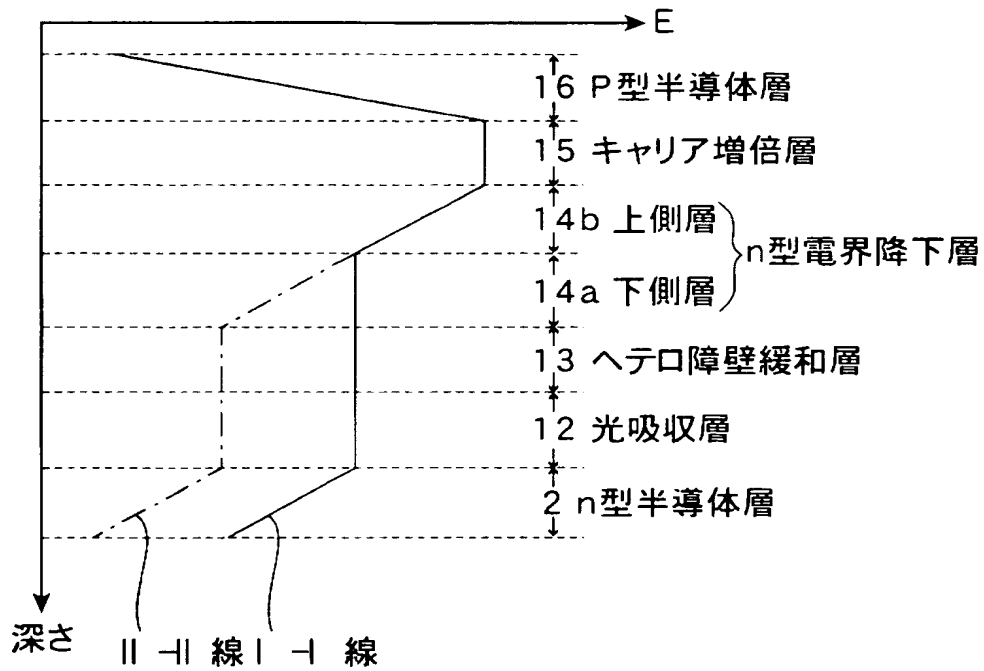
【図 13】

本発明の実施の形態に係る半導体受光装置の
製造工程について示す平面図(その2)



【図14】

本発明の実施の形態に係る半導体受光装置の
深さ方向の電界分布を示すグラフ



【書類名】 要約書

【要約】

【課題】 従来よりも大きな光電流を取り出すことができ、また、受信感度の高い半導体受光装置を提供すること。

【解決手段】 InP基板 1 と、InP基板 1 上に形成されたn型半導体層 2 と、n型半導体層 2 の一部領域上に形成された光導波路用コア層 3 と、該光導波路用コア層 3 上に形成された上部クラッド層 4 とを有する光導波路 5 と、光吸収層 12 と、ヘテロ障壁緩和層 13 と、n型電界降下層 14 の下側層 14a と、n型電界降下層 14 の上側層 14b と、キャリア増倍層 15 と、p型半導体層 16 とをn型半導体層 2 の別の領域上に順に形成してなり、光導波路 5 と結合したアバランシェフォトダイオード 17 と、を備え、n型電界降下層 14 の下側層 14a と光導波路用コア層 3 との各側面が接触し、且つ、n型電界降下層 14 の上側層 14b の一部が光導波路用コア層 3 上に形成されたことを特徴とする半導体受光装置による。

【選択図】 図 3

特願 2 0 0 2 - 3 1 6 5 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社